

Modélisation SystemC pour la conception hardware/software

Objectif - Compétences acquises :

A l'issue de la formation le stagiaire sera capable de : Modéliser en SystemC un système mixte de complexité moyenne comportant à la fois des parties matérielles et logicielles Comprendre les concepts de base du langage SystemC Modéliser des systèmes à

Public concerné :

- Tout public

Durée :

- 3 jours

Date/lieux :

- Nous consulter
- Non défini

Equipe pédagogique :

- Enseignants de l'Université de Nancy

Approche pédagogique :

- Alternance de cours et de travaux pratiques

Renseignement pédagogique :

- HEBRARD Luc
- Luc.hebrard@unistra.fr

Frais de participation individuels :

- 1205 € HT

Renseignements et inscriptions :

- Inscription : Service de Formation Continue de l'Université de Strasbourg
- Tél : +33(0) 3 68 85 49 98
- Fax : +33(0) 3 68 85 49 29
- Email : s.grisinelli@unistra.fr
- Date limite d'inscription : 1 mois avant

Nombre de places limitées :

- Min/Max : 0 à 14 personnes

Prérequis :

- Connaissances de bases de la programmation orientée objet notamment en C++

Programme :

- Rappel sur la programmation orientée objet et le langage de programmation C++
- Introduction à la modélisation système : flots de conception
- SystemC : modélisation, architecture du langage, déclaration d'un module, canaux de communication primitifs, interface de communication, ports E/S, processus, temps, types de données
- Initiation à la modélisation SystemC sous Linux : installation de la library SystemC, configuration d'un fichier Makefile, prise en main d'Eclipse
- Modélisation de circuits numériques de base en SystemC (niveau RTL)
- Introduction à la co-simulation SystemC-VHDL
- Exemple de co-simulation SystemC-VHDL : réalisation en SystemC d'un module de test d'un réseau sur puce (NoC) décrit en VHDL
- Noyau de simulation SystemC (scheduler)

- Canaux primitifs en SystemC (partie II)
- Canaux hiérarchiques : exemple de réalisation d'un canal hiérarchique de type fifo avec identifiant et exemple d'utilisation
- Introduction à la modélisation TLM
- sc_port et sc_export : différences
- Exemple d'utilisation de ports de type sc_export
- TLM vs RTL
- Exemple de modélisation TLM d'un système maître-esclave (initiator-target) et HW/SW

Validation :

Cette formation constitue une action d'adaptation et de développement des compétences. Elle donne lieu à la délivrance d'une attestation de participation. Une évaluation de fin de formation permet de mesurer la satisfaction des stagiaires, notamment concernant l'atteinte des objectifs pédagogiques.